



SEMICONDUCTOR INTEGRATED CIRCUIT

Patent number: JP8162915
Publication date: 1996-06-21
Inventor: TOUHO MITSUHIRO
Applicant: FUJITSU LTD;; FUJITSU VLSI LTD
Classification:
- **International:** H03K5/02; H02M3/07; H03K17/06; H03K17/16; H03K19/094
- **European:**
Application number: JP19940306485 19941209
Priority number(s):

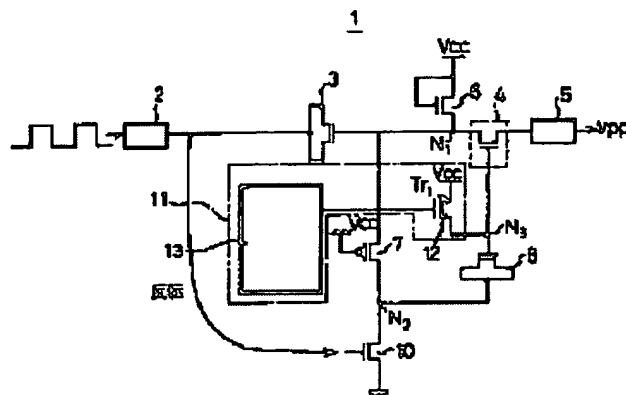
Also published as:

 US5701096 (A1)
 ITTO950736 (A)

Abstract of JP8162915

PURPOSE: To provide a high output potential at a low voltage in a pump charge type boosting circuit by connecting a precharging means for fixing an external power supply potential or an internal power supply potential to be impressed to the gate part of a transfer gate.

CONSTITUTION: The precharging means 11 is provided with a control means 13 for controlling the control terminal voltage of a transistor TR 12 for controlling the TR 12. The means 13 drives the TR 12 for which one terminal part is connected to a power supply provided with the highest potential and the other terminal part is connected to the gate part N2 of the transfer TG 4 by an external power supply Vcc or an appropriate internal power supply. Then, the gate part voltage of the TR 12 is fixed to the Vcc or the internal power supply voltage. Thus, by turning the TR 12 on while the TG 4 is turned off in the precharging means 11, the gate voltage of the TG 4 is precharged to the Vcc. Thus, when the TG 4 is off, the generation of a through-current or a reverse current is prevented.



Data supplied from the esp@cenet database - Worldwide

(11)特許出願公開番号

特開平8-162915

(43)公開日 平成8年(1996)6月21日

技術表示箇所

L

H0 2M 3/07

C 9184-5K

L 9184-5K

C

審査請求 未請求 請求項の数6 OL (全 7 頁) 最終頁に続く

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(71)出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72)発明者 東保 充洋

愛知県春日井市高蔵寺町二丁目1844番2

富士通ヴィエルエスアイ株式会社内

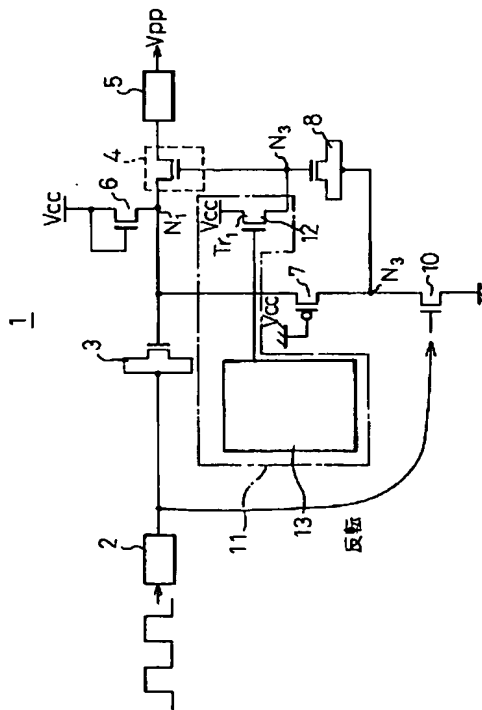
(74)代理人 弁理士 石田 敬 (外3名)

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【目的】 ポンプチャージ式昇圧回路に於いて、低電圧で高い出力電位を得ると共に、不必要な場合にトランスファゲートがON状態となり、余計な電流が流れる事を防止すると共に、誤動作を防止しうる制御回路を提供するものである。

【構成】 入力手段 2、第 1 の容量手段 3、トランスファゲート 4、出力手段 5、トランスファゲート 4 と第 1 の容量手段 3 との間に接続された外部電源手段 6、トランスファゲート 4 のゲート部に一端子部が接続され、他方の端子部が制御手段 7 を介して第 1 の容量手段 3 と接続されている第 2 の容量 8 とからなるポンプチャージ式昇圧回路に於いて、トランスファゲート 4 のゲート部のゲート部に印加される電圧を外部電源手段 6 の電位若しくは適宜の内部電源に於ける電位にプリチャージするプリチャージ手段 11 が接続されている半導体集積回路。



1

【特許請求の範囲】

【請求項 1】 入力手段、該入力手段に接続された第 1 の容量手段、該第 1 の容量手段と接続されたトランスファゲート、該トランスファゲートに接続された出力手段、該トランスファゲートと該第 1 の容量手段との間に接続された外部電源手段、該トランスファゲートのゲート部に一端子部が接続され、他方の端子部が適宜の制御手段を介して該第 1 の容量手段と接続されている第 2 の容量とから構成されているポンプチャージ式昇圧回路に於いて、該トランスファゲートのゲート部に、当該ゲート部に印加される電圧を外部電源手段の電位若しくは適宜の内部電源に於ける電位にプリチャージするプリチャージ手段が接続されている事を特徴とする半導体集積回路。

【請求項 2】 該プリチャージ手段はトランジスタで構成されている事を特徴とする請求項 1 記載の半導体集積回路。

【請求項 3】 該プリチャージ手段はトランジスタ及び該トランジスタの制御端子電圧を制御する制御手段とから構成されている事を特徴とする請求項 1 記載の半導体集積回路。

【請求項 4】 該制御手段は、レベルシフターを含んでいる事を特徴とする請求項 3 記載の半導体集積回路。

【請求項 5】 入力手段、該入力手段に接続された第 1 の容量手段、該第 1 の容量手段と接続されたトランスファゲート、該トランスファゲートに接続された出力手段、該トランスファゲートと該第 1 の容量手段との間に接続された外部電源手段、該トランスファゲートのゲート部に一端子部が接続され、他方の端子部が適宜の制御手段を介して該第 1 の容量手段と接続されている第 2 の容量とから構成されているポンプチャージ式昇圧回路に於いて、該トランスファゲートのゲート部に、当該ゲート部に印加される電圧を外部電源手段の電位若しくは適宜の内部電源に於ける電位にプリチャージするプリチャージ手段が接続されている第 1 の回路部と、第 1 の回路部と同一の構成からなる第 2 の回路部とを隣接して配置すると共に、該第 1 と第 2 の回路部に於けるそれぞれのトランスファゲートに接続された出力手段を共通に構成し、更に該第 1 の回路部に於ける該制御手段の制御端子部を該第 2 の回路部に於けるトランスファゲートの該出力手段に接続された端子部とは異なる端子部と接続させると同時に、該第 2 の回路部に於ける該制御手段の制御端子部を該第 1 の回路部に於けるトランスファゲートの該出力手段に接続された端子部とは異なる端子部と接続させ、且つ該第 1 の回路部に於ける該トランスファゲートと該外部電源手段との接続ノード部に、一端子が外部電源手段に接続されたトランジスタの他の端子部を接続せしめ、当該トランジスタの制御端子を該第 2 の回路部に於ける該トランスファゲートと該外部電源手段との接続ノード部に接続せしめると同時に、該第 2 の回路部に

2

於ける該トランスファゲートと該外部電源手段との接続ノード部に、一端子が外部電源手段に接続されたトランジスタの他の端子部を接続せしめ、当該トランジスタの制御端子を該第 1 の回路部に於ける該トランスファゲートと該外部電源手段との接続ノード部に接続せしめたものであり、更に、該第 1 と第 2 の回路部に於けるそれぞれの入力手段には、インバータが接続されており、且つ該第 1 と第 2 の回路部に於けるそれぞれの入力手段には、互いに異なる位相を有するクロック信号が入力される様に構成されている事を特徴とする半導体集積回路。

【請求項 6】 当該第 1 と第 2 の回路部に於ける該第 2 の容量手段と該制御手段との接続ノード部にフローティング防止手段が配置されている事を特徴とする請求項 5 記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路に関するものであり、更に詳しくは誤動作がなく、効率的な電流の利用が図れるポンプチャージ式昇圧回路に関するものである。

【0002】

【従来の技術】 従来から、たとえば、IEICE TRANS. ELECTRON. (Vol. E77-C, No. 8, August, 1994) 等 に示されている様に、容量とトランスファゲートから構成され、入力電圧、例えば V_{cc} を昇圧電圧である V_{pp} (例えば $2V_{cc}$) に昇圧する様にしたポンプチャージ式昇圧回路は知られている。

【0003】 即ち、従来に於ける該ポンプチャージ式昇圧回路の一例を図 4 に示す。つまり、従来のポンプチャージ式昇圧回路 1 は、入力手段 2、該入力手段 2 に接続された第 1 の容量手段 3、該第 1 の容量手段 3 と接続されたトランスファゲート 4、該トランスファゲート 4 に接続された出力手段 5、該トランスファゲート 4 と該第 1 の容量手段 3 との間の接続ノード部 N1 に接続された外部電源手段 6、該トランスファゲート 4 のゲート部に一端子部が接続され、他方の端子部が適宜の制御手段 7 を介して該第 1 の容量手段 3 と接続されている第 2 の容量 8 とから構成されており、更に、該トランスファゲート 4 の該接続ノード部 N1 と該トランスファゲートのゲート部との間にトランジスタから構成された抵抗手段 9 が接続されたものである。

【0004】 尚、図中 10 は、適宜のトランジスタ等からなるスイッチ手段であり入力手段に入力されるクロックにより制御されるものである。係るポンプチャージ式昇圧回路に於いて、該入力手段 2 に入力されるクロック信号の電圧レベルが、図 5 (A) に示す様に GND と V_{cc} 間で変化する様に設定した場合に、前記接続ノード部 N1 の電位は、図 5 (B) に示す様に、 V_{cc} と $2V_{cc}$ 間で変化する波形となり、該第 2 の容量手段 8 と該制御手段 7 との接続ノード部 N3 の電位は、図 5 (C)

3

に示す様に、GNDと $2V_{cc}$ 間で変化する波形となり、更に該第2の容量手段8の出力電圧、即ち該トランスファゲートのゲート電圧、即ちノードN2の電位は、図5(D)に示す様に、 V_{cc} と $3V_{cc}$ 間で変化する波形となる。

【0005】 処で、係る従来のポンプチャージ式昇圧回路に於いては、当該最終段のトランスファゲートに、Nチャネル型トランジスタを使用する場合が多く、その場合には、出力に V_{pp} を得る場合には、当該トランスファゲートのゲートの電位を昇圧電圧である V_{pp} と当該トランジスタのしきい値電圧である V_{th} の和($V_{pp} + V_{th}$)以上に設定する必要がある。

【0006】 一方、Nチャネル型トランジスタを使用する場合には、バックゲート効果により、出力電圧 V_{pp} が上昇すると、しきい値電圧 V_{th} もそれに伴って上昇するので、該トランスファゲートをONさせる為には、当該トランスファゲートのゲートに印加される電圧を大きくしなければならないと言う問題が有った。その為、従来に於けるポンプチャージ式昇圧回路に於いては、昇圧用の容量3とは別の容量(キャパシタ)8を該トランスファゲートのゲートに接続し、該容量を介して該トランスファゲートをON若しくはOFFさせていた。

【0007】 然しながら、係る構成に於いては、該昇圧用の容量をONさせるタイミングと該トランスファゲートに接続された容量をONさせるタイミングとが少しでもことなると、例えば、該昇圧用の容量の出力がOFFとなっているにも係わらず、該トランスファゲートに接続された容量の出力がONとなっている場合には、該トランスファゲートがONの状態となり、当該トランスファゲートを介して電流が流れてしまうと言う問題が有った。

【0008】

【発明が解決しようとする課題】 本発明の目的は、上記した従来技術の欠点を改良し、該ポンプチャージ式昇圧回路に於いて、低電圧で高い出力電位を得る事を可能とすると共に、不必要な場合に、当該トランスファゲートがON状態となり、余計な電流が流れる事を防止すると共に、半導体集積回路に於ける誤動作を防止しうる制御回路を提供するものである。

【0009】

【課題を解決するための手段】 本発明は上記した目的を達成するため、以下に記載されたような技術構成を採用するものである。即ち、入力手段、該入力手段に接続された第1の容量手段、該第1の容量手段と接続されたトランスファゲート、該トランスファゲートに接続された出力手段、該トランスファゲートと該第1の容量手段との間に接続された外部電源手段、該トランスファゲートのゲート部に一端子部が接続され、他方の端子部が適宜の制御手段を介して該第1の容量手段と接続されている

4

第2の容量とから構成されているポンプチャージ式昇圧回路に於いて、該トランスファゲートのゲート部に、当該ゲート部に印加される電圧を外部電源手段の電位若しくは適宜の内部電源に於ける電位に固定するプリチャージ手段が接続されている半導体集積回路である。

【0010】

【作用】 本発明に係る半導体集積回路は、上記した様な技術構成を有しているので、ポンプチャージ式昇圧回路に於けるトランスファゲートのゲート電圧を、所定の値に設定しえるので、該昇圧用容量の出力電位と該トランスファゲートのゲートに接続された容量の出力電位の変化のタイミングを正確にコントロールする必要がなくなり、従って、当該タイミングを多少ずらせても上記した従来の欠点が回避しえるので、制御が容易となる。

【0011】

【実施例】 以下に、本発明に係るクラッチ制御装置の一具体例の構成を図面を参照しながら詳細に説明する。即ち、図1は、本発明に係る半導体集積回路1の一具体例の構成を示すブロックダイアグラムであって、図中、入力手段2、該入力手段2に接続された第1の容量手段3、該第1の容量手段3と接続されたトランスファゲート4、該トランスファゲート4に接続された出力手段5、該トランスファゲート4と該第1の容量手段3との間の接続ノード部N1に接続された外部電源手段6、該トランスファゲート4のゲート部に一端子部が接続され、他方の端子部が適宜の制御手段7を介して該第1の容量手段3と接続されている第2の容量8とから構成されているポンプチャージ式昇圧回路を構成する半導体集積回路に於いて、該トランスファゲート4のゲート部に、当該ゲート部に印加される電圧を外部電源手段の電位若しくは適宜の内部電源に於ける電位に固定するプリチャージ手段11が接続されている半導体集積回路が示されている。

【0012】 上記具体例に於いて、該容量2、8は特に限定されるものではないが、例えばMOSトランジスタを容量として使用するMOSキャパシタを使用する事が可能である。更に、上記具体例に於ける、適宜の制御手段7は、例えばトランジスタ等で構成されるものであって、一例としては、Pチャネル型のトランジスタであって、その制御端子であるゲートが外部電源 V_{cc} に接続されているものである。

【0013】 又、本発明に於いては、外部電源は、 V_{cc} と設定し、入力されるクロック信号は、図5(A)と同様にGNDと V_{cc} 間で変化する様に設定する事が望ましい。更に、本発明に於いて使用されるトランスファゲート4は、例えばNチャネル型トランジスタで構成されるものである。

【0014】 又、本発明に於いて使用される該プリチャージ手段11は、上記回路に於けるトランスファゲート4のゲート電圧、即ち接続ノードN2の電位をトランス

5

ファゲート4がOFFしている間、所定の電圧に固定するものであって、例えばトランジスタ12で構成されている事が望ましい。又、上記具体例に於けるトランジスタ10は、GNDと該トランジスタ7との間に接続されたNチャンネル型トランジスタであって、入力クロック信号により制御されるものである。

【0015】更に、本発明に於ける該プリチャージ手段11は、当該トランジスタ12を制御する為の該トランジスタ12の制御端子電圧を制御する制御手段13を有する事が望ましい。係る制御手段13は、外部電源Vcc若しくは適宜の内部電源で、最も電位の高い電位を有する電源にその一端部が接続され、他端部が該トランスファゲート4のゲート部に接続(N2)されたトランジスタ12を駆動させ、当該ゲート部電圧をVcc若しくは上記内部電源電圧、例えばVddに固定される様に制御するものである。

【0016】つまり、本発明に於いては、上記したポンプチャージ式昇圧回路の最終段であるトランスファゲート4をポンピング動作によってON、OFFさせる回路であって、該トランスファゲート4がOFFしている場合に、該トランスファゲート4のゲート部を内部電源の内でも最も電位の高い電圧Vdd、若しくは外部電源Vccにプリチャージすることが出来るのである。

【0017】従って、本発明に於いては、該プリチャージ手段11に於けるトランジスタ12を該トランスファゲートがOFFしている間ONさせる事によって、該トランスファゲート4のゲート電圧をVccにプリチャージさせておく事が出来るのでトランスファゲート4がOFFの状態に於いて、貫通電流或いは逆流電流の発生を防止する事が出来る。

【0018】又、昇圧用の第1の容量2をONさせるタイミングと該トランスファゲートに電位を印加する第2の容量8をONさせるタイミングをずらせる事が可能となるので、該トランスファゲート4がOFFに成るべき状態の場合に、該昇圧ノード部N1と出力手段5とが導通したり、トランスファゲートがON状態を継続するという問題を解決する事が出来る。

【0019】図2は、本発明に係る該プリチャージ手段11に設けられる制御手段13の一例を示すブロックダイアグラムである。即ち、図2に於ける制御手段13は、従来公知のレベルシフターを使用して、該プリチャージ手段11に於けるトランジスタ12のゲートを制御するものである。

【0020】つまり、外部電源として使用するVppとGNDとの間に、Pチャンネル型トランジスタTr5、Nチャンネル型トランジスタTr3及びNチャンネル型トランジスタTr1が直列に接続された第1の電流通路I1とPチャンネル型トランジスタTr6、Nチャンネル型トランジスタTr4及びNチャンネル型トランジスタTr2が直列に接続された第2の電流通路I2とが並

6

列に配置され、入力手段2に入力されたクロック信号は、該トランジスタTr1のゲートに接続されると共にインバータINV1を介して該トランジスタTr2のゲートに接続されており、又トランジスタTr3とトランジスタTr4は共通ゲートとして外部電源Vccに接続されており、更に該トランジスタTr3のソース端子が該Pチャンネル型トランジスタTr6のゲートに接続され、一方該トランジスタTr4のソース端子が該Pチャンネル型トランジスタTr5のゲートに接続されると同時に、該トランジスタTr4のソース端子が該トランジスタ12のゲートに接続された構造を有している。

【0021】尚、本具体例に於ける入力手段2と第1の容量手段3との間には、インバータINV2が挿入されている。係る構成に於いては、外部電源Vppの電位を外部電源Vccの電位よりも高くなる様に設定し、当該レベルシフタへの入力電位を0VからVccまで変化させると共にその出力電位を0VからVppまで変化させる様にするものである。

【0022】係る構成に於いては、前記した具体例と同様、トランスファゲート4がOFFしようとする場合に、該トランジスタ12のゲート電圧が必ずVppと成るように構成されているので、該トランスファゲート4のゲート電圧は該トランジスタ12のON動作によって、Vccにプリチャージされる事になる。次に、本発明に於ける他の具体例を図3を参照して説明する。

【0023】即ち、図3は、本発明に係る半導体集積回路の他の構成を示すものであって、具体的には、前記した図1に示される様な本発明に於ける半導体集積回路の基本的な回路構成を2つ使用して、一方の回路構成に於けるプリチャージ手段の制御手段を他方の回路構成に於ける昇圧接続ノード電圧で制御する様に構成したものである。

【0024】係る本発明の具体例に於いては、上記2個の回路構成に入力されるクロック信号の位相が互いに反転した位相を呈する様に入力する事が必要である。つまり、係る具体例に於いては、一方の半導体集積回路に於けるプリチャージ用のトランジスタのゲートが、当該半導体集積回路と逆位相のクロック信号で動作する他方の半導体集積回路の昇圧ノードに接続されているものである。

【0025】本具体例に於ける回路構成の一例は図3に示されている通りであり、具体的には、入力手段2、該入力手段2に接続された第1の容量手段3、該第1の容量手段3と接続されたトランスファゲート4、該トランスファゲート4に接続された出力手段5、該トランスファゲート4と該第1の容量手段3との間に接続された外部電源手段6、該トランスファゲート4のゲート部に一端子部が接続され、他方の端子部が適宜の制御手段7を介して該第1の容量手段3と接続されている第2の容量8とから構成されている半導体集積回路1に於いて、該

7

トランスファゲート4のゲート部に、当該ゲート部に印加される電圧を外部電源手段の電位若しくは適宜の内部電源に於ける電位に固定するプリチャージ手段11が接続されている第1の回路部C1と、第1の回路部C1と同一の構成からなる第2の回路部C2とを隣接して配置すると共に、該第1と第2の回路部C1、C2に於けるそれぞれのトランスファゲート4に接続された出力手段5を共通に構成し、更に該第1の回路部C1に於ける該制御手段11の制御端子部を該第2の回路部C2に於けるトランスファゲート4の該出力手段5に接続された端子部とは異なる端子部と接続させると同時に、該第2の回路部C2に於ける該制御手段11の制御端子部を該第1の回路部C1に於けるトランスファゲート4の該出力手段5に接続された端子部とは異なる端子部と接続させ、且つ該第1の回路部に於ける該トランスファゲート4と該外部電源手段6との接続ノード部に、一端子が外部電源手段6に接続されたトランジスタの他の端子部を接続せしめ、当該トランジスタの制御端子を該第2の回路部C2に於ける該トランスファゲート4と該外部電源手段6との接続ノード部に接続せしめると同時に、該第2の回路部C2に於ける該トランスファゲート4と該外部電源手段6との接続ノード部に、一端子が外部電源手段6に接続されたトランジスタの他の端子部を接続せしめ、当該トランジスタの制御端子を該第1の回路部C1に於ける該トランスファゲート4と該外部電源手段6との接続ノード部に接続せしめたものであり、更に、該第1と第2の回路部C1、C2に於けるそれぞれの入力手段2には、インバータINVが接続されており、且つ該第1と第2の回路部C1、C2に於けるそれぞれの入力手段2には、互いに異なる位相を有するクロック信号が入力される様に構成されているものである。

【0026】上記した具体例に於いては、各回路部C1、C2の基本的な動作は、前記した図1に於ける半導体集積回路と同一であるが、異なる点は、前記した様に、一方の回路部C1に於ける制御手段11を構成するトランジスタ12の制御端子であるゲートを隣接する他の回路部C2の昇圧ノード部N4の電位で制御する様にしたものである。

【0027】同様に回路部C2に於ける制御手段11を構成するトランジスタ12の制御端子であるゲートを隣接する他の回路部C1の昇圧ノード部N4の電位で制御する様にしたものである。より具体的には、第1の回路部C1の入力手段2に“H”レベルのクロック信号が入力された場合には、該第1の回路部C1のトランスファゲートのゲート電位N2は、Vccを呈するが、一方、第2の回路部C2のノード部N4の電位は2Vccに設定されるので、当該制御手段11に於けるトランジスタ12はONとなり、従って、該トランスファゲートにゲート部N2の電位はVccにプリチャージされる事になる。

8

【0028】又、第1の回路部C1の入力手段2に“L”レベルのクロック信号が入力された場合には、該第1の回路部C1のトランスファゲートのゲート電位N2は、2Vccを呈するので、前記した具体例と同様正常な動作が行われる。一方、第2の回路部C2に於ける前記ノード部N4の電位は、Vccにプリチャージされるので、当該制御手段11に於けるトランジスタ12はOFFとなる。

【0029】一方、第2の回路部C2に於ける制御手段11のトランジスタ12のゲートは、前記したと同様に、第1の回路部C1のノード部N5の電位は2Vccに設定されるので、当該制御手段11に於けるトランジスタ12はONとなり、従って、該トランスファゲートにゲート部N2の電位はVccにプリチャージされる事になる。

【0030】つまり、本具体例においては、図1に示すトランジスタに対する制御手段を逆相で動く昇圧回路を使用して、その昇圧ノード部の電位を使用して制御するものである。従って、前記の具体例に於いては、昇圧電源Vppを使用してトランスファゲートのゲートに接続されているトランジスタをONさせていたが、本具体例に於いては、他の回路部に於ける昇圧ノード(N4又はN5)を制御手段の入力として使用する事によって、前記した貫通電流の発生等を有効に防止する事が可能となる。

【0031】又、本発明に於ける上記具体例に於いては、図2の16に示す様に、当該第1と第2の回路部C1とC2に於ける該第2の容量手段8と該制御手段11との接続ノード部N2にフローティング防止手段16を設けることも可能であり、係るフローティング防止手段16は、例えばトランジスタで構成されていても良く、当該半導体集積回路を長期間に亘って使用しない状態が続く場合に、C1及びC2のN2から電荷が引き抜かれてしまう可能性があるが、フローティング防止手段16を有する事により、電荷を回路中に維持しておけるので、再スタートする場合に好都合である。

【0032】

【発明の効果】本発明は、上記した構成を有する半導体集積回路で構成されたポンプチャージ式昇圧回路を構成するものであるので、低電圧で高い出力電位を得る事を可能とすると共に、不必要な場合に、当該トランスファゲートがON状態となり、余計な電流が流れる事を防止すると共に、半導体集積回路に於ける誤動作を防止する制御回路を提供するものである。

【図面の簡単な説明】

【図1】図1は、本発明に係る半導体集積回路の一具体例の構成を示すブロックダイアグラムである。

【図2】図2は、本発明に係る半導体集積回路の他の具体例の構成を示すブロックダイアグラムである。

【図3】図3は、本発明に係る半導体集積回路の更に他

の具体例の構成を示すブロックダイアグラムである。

【図 4】図 4 は、従来に於ける昇圧回路の一例を示すブロックダイアグラムである。

【図 5】図 5 (A) ~ 図 5 (D) は、図 4 に示す従来の昇圧回路に於ける電圧波形の例を示す図である。

【符号の説明】

- 1 … 半導体集積回路
- 2 … 入力手段
- 3 … 第 1 の容量手段
- 4 … トランスファゲート
- 5 … 出力手段

6、6 6 … 外部電源手段

7 … 制御手段

8 … 第 2 の容量

9 … 抵抗手段

10 … スイッチ手段

11 … プリチャージ手段

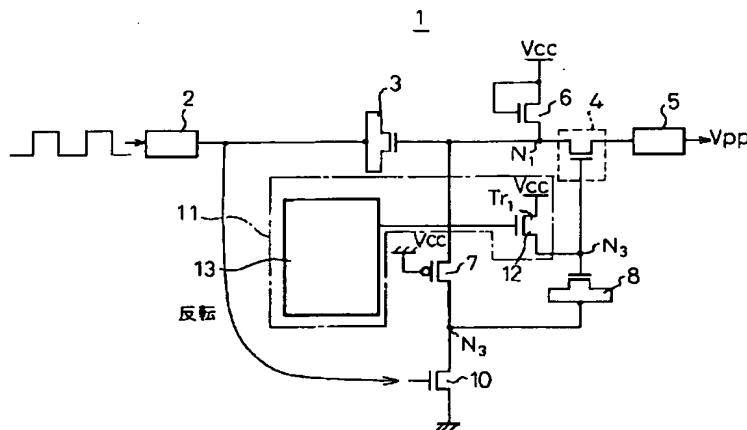
12 … トランジスタ

13 … 制御手段

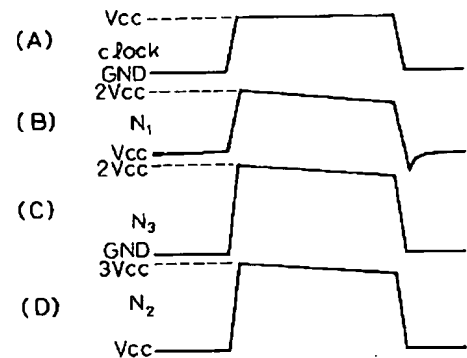
C 1 … 第 1 の回路部

10 C 2 … 第 2 の回路部

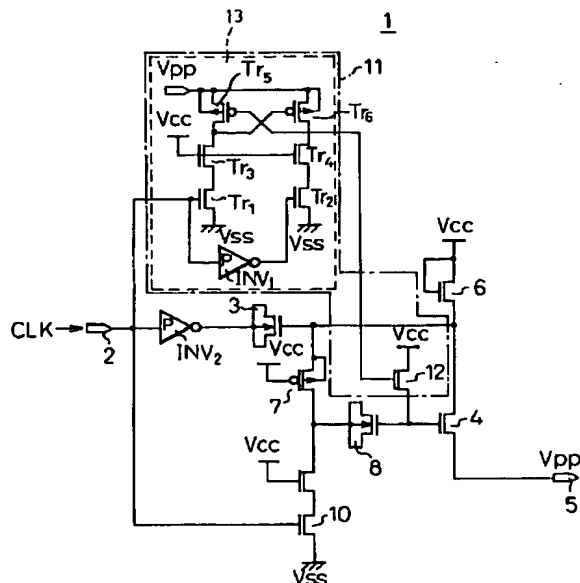
【図 1】



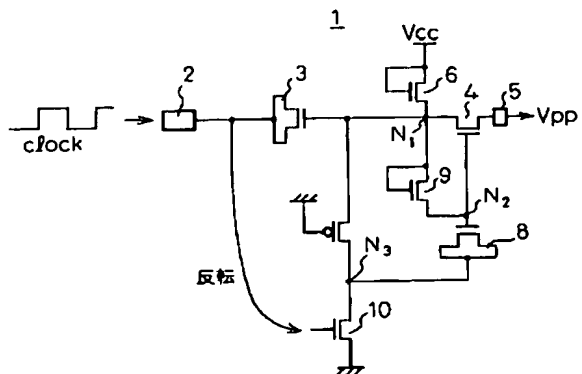
【図 5】



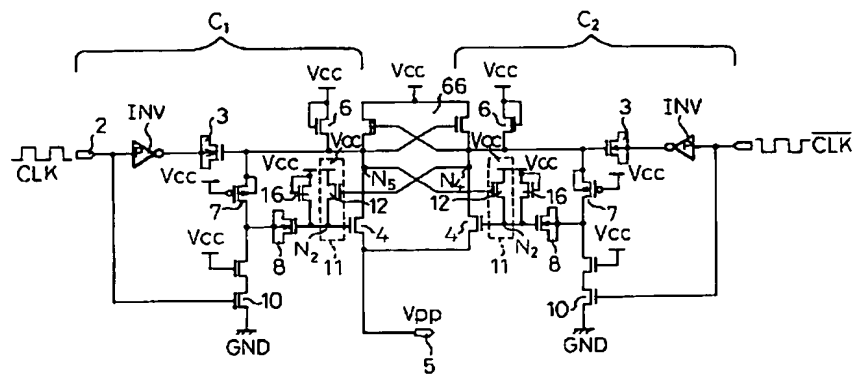
【図 2】



【図 4】



【図3】



フロントページの続き

(51) Int. Cl. ⁶

H 0 3 K 19/094

識別記号

庁内整理番号

F I

技術表示箇所